


**SEMICONDUCTOR MEMORY DEVICE**

Patent Number: JP56098781  
Publication date: 1981-08-08  
Inventor(s): SASAMOTO YOSHIFUMI  
Applicant(s): NEC CORP  
Requested Patent:  JP56098781  
Application Number: JP19790173494 19791229  
Priority Number(s):  
IPC Classification: G11C11/34; G11C29/00  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To prevent the accumulation of errors of data read out in a rare case by reading all data out of memory cells within a definite time during refreshing operation, and by correcting and rewriting erroneous data in a memory if it is detected.

**CONSTITUTION:**In refreshing operation, a refresh address generating circuit (composed of refresh counter 23 and refresh address register 24) generates cyclically a column address for selecting readout data bits and a chip selection address and, while reading all memory contents of memory part 21, detects 28 an error of the readout data; erroneous data is corrected 31 and the corrected data and a check bit are rewritten together in the address where the error occurred. Therefore, even an error of data read out of an address read out in a rare case is corrected and the accumulation of errors is prevented.

---

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A)

昭56-98781

⑬ Int. Cl.<sup>3</sup>  
G 11 C 11/34  
29/00識別記号  
1 0 1庁内整理番号  
7922-5B  
7056-5B

⑭ 公開 昭和56年(1981)8月8日

発明の数 1  
審査請求 未請求

(全 5 頁)

## ⑮ 半導体記憶装置

東京都港区芝五丁目33番1号日  
本電気株式会社内⑯ 特 願 昭54-173494  
⑰ 出 願 昭54(1979)12月29日  
⑱ 発 明 者 笹本芳文⑲ 出 願 人 日本電気株式会社  
東京都港区芝五丁目33番1号  
⑳ 代 理 人 弁理士 草野卓

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 読出データの誤り検出、訂正機能を持ち、リフレッシュの必要な記憶素子を用いた記憶装置において、リフレッシュ動作時にデータを読出す手段と、その読出手段により記憶装置のすべての記憶内容を順次読出す手段と、および前記読出し動作による読出データに対して誤り検出を行ない、誤りがあった場合訂正したデータ及び復元ビットの再書き込みを行う手段とを有する半導体記憶装置。

## 3. 発明の詳細な説明

この発明は記憶内容が消失しないようにリフレッシュ制御が行なわれる半導体記憶装置に関する。

一般的にダイナミック型半導体記憶素子は基本的には第1図に示すような構成をもち、またこの記憶素子のアドレスは第2図に示すように行アドレス(X-ADD)と列アドレス(Y-ADD)とから構成されている。ここで、いわゆるリフレッシュ

アドレスは行アドレス(X-ADD)である。メモリセルが $m \times n$ のマトリックス構成とした場合の記憶素子の動作の概略を説明する。読出しあるいはリフレッシュ時には端子11より与えられるアドレス(ADD)中の行アドレス(X-ADD)が行デコーダ(X-DEC)12でデコードされ、行デコーダ12により記憶素子13の行線が唯一選択され、センスアンプ(AMP)14に $n$ ビットのデータが並列に送られる。ここで読出し時には更に端子11のアドレス(ADD)中の列アドレス(Y-ADD)が列デコーダ(Y-DEC)15でデコードされ、列セレクト(Y-SEL.)において、そのデコード出力によりセンスアンプ14の $n$ ビットの出力のうち唯一選択されて出力端子17より外部に読出しデータを送る。リフレッシュ時にはセンスアンプ(AMP)14で増幅されたデータを記憶素子13の列線にもどし、再び記憶素子13中のその時選択されている行線に接続された各メモリセルに再成したデータを蓄込むようになされる。読出し時においても自動的にリフレッシュ動作が同時に達成される。

ダイナミック型記憶装置は時間経過に伴って情報の価値が低下する方式であり、大容量化（高密度化）に伴いその時間経過に伴う情報の価値が小さくなる。そのため従来の記憶装置では、時間経過に伴う情報の価値の低下によるランダムな記憶故障が問題視されてきた。

また従来から記憶装置には誤り検出、訂正回路を付加し、読出し時の誤りに対してデータの訂正及び訂正したデータ（＋検査ビット）の書き込みを行うものがある。

ところが読出し時のみに誤り検出及び訂正を行った場合、読出されないメモリセルに関しては読出されたままデータが記憶され続け、時間が経過するに伴って読出されたデータが累積されていく。読出されたデータ中の誤りの数が所定値（その値は用いる検査ビットにより決まる）を超えると誤りを訂正することが不能になる。従って稀にしか読出されないアドレスに記憶されたデータの読出し時に誤り訂正不可能となる確率が増大し、システムの信頼性を下げることとなる。

この発明の目的は稀にしか読出されないデータ

に対しても誤りが累積されることなく、信頼性の高い半導体記憶装置を提供することにある。

この発明においてはリフレッシュ時に、メモリセルのすべてのデータを一定時間に読出し、ようにして、その読出しデータの誤りを検出し、もし誤りがあればそれを訂正して訂正したデータ及び検査ビットを記憶部に書き込みする。

即ちこの発明ではリフレッシュアドレス発生回路において、リフレッシュに必要なリフレッシュアドレス（行アドレス）と、読出しデータビットを選択する列アドレス及びチップセレクトアドレスとを巡回的に発生させ、一定時間内に記憶部の全記憶内容の読出しが行われるようにする。更にリフレッシュ時にも前記リフレッシュアドレス発生回路に従ってデータ読出しを行うと同時に読出されたデータに対する誤り検出、その訂正を行い、誤りが検出されれば訂正したデータ及びそれに付随した検査ビットを書き込みするように誤り検出訂正回路及び記憶部の動作を制御するよう構成される。

(4)

(3)

第3図はこの発明による半導体記憶装置の一実施例を示すブロック図である。記憶部21は第1図で示した半導体記憶素子から構成され、データ記憶部21aと冗長記憶部21bとからなる。アドレス系はアドレスレジスタ22、リフレッシュカウンタ23、その内容が与えられるリフレッシュアドレスレジスタ24及びアドレスレジスタ25、24の一方の内容を選択するアドレスセクタ25よりなる。端子26よりの外部アドレスはアドレスレジスタ22へ供給され、レジスタ24のリフレッシュアドレスはリフレッシュカウンタ23により歩進される。データ系は書き込みデータセクタ26、検査ビット生成回路27、誤り検出回路28、誤り位置デコード29、誤り訂正回路31よりなる。書き込みデータセクタ26では端子32の書き込みデータと、誤り訂正回路31よりの読出しデータとのいずれかを適当に、データ記憶部21a及び検査ビット生成回路27に供給する。検査ビット生成回路27では検査ビットを生成して冗長記憶部21bに供給する。データ記憶部21aか

らの読出しデータは誤り検出回路28と誤り訂正回路31に供給され、また冗長記憶部21bからの読出し検査ビットは誤り検出回路28に供給される。誤り検出回路28の出力は誤り位置デコード29と書き込みデータセクタ26へ供給され、誤り位置デコード29の出力は誤り訂正回路31に供給される。誤り訂正回路31の出力は読出しデータ出力端子30へ供給される。

制御系はアクセス制御回路33とデバイス制御部34とからなり、端子35を通じる外部からのアクセス要求信号とリフレッシュカウンタ23からのリフレッシュ要求信号とがアクセス制御回路33に供給され、アクセス制御回路33は各部へ制御信号を送出する。なおデータ系においてこの実施例では誤り検出、訂正回路の構成を基本的な構成でのみ示したが、従来知られている各種変型回路を採用してもよい。

通常の読出し、書き込み作に關しては従来知られている誤り検出、訂正回路付記憶装置と同様であるので、ここでは特にこの発明に關するリソ

(6)

(5)

フレッシュ動作について説明する。またリフレッシュ動作に関しても各種の手法があるが、ここでは分散型リフレッシュ、すなわち各メモリセルのリフレッシュ間隔を $T_0$ とし、行アドレス(X-ADD)の数を $m$ としたとき、装置のリフレッシュ間隔を $\frac{T_0}{m}$ とする方式で説明するが、他の集中型リフレッシュにおいても同様にこなうことができる。この実施例ではリフレッシュアドレスレジスタ24として、従来のように行アドレス(X-ADD)のみではなく、行アドレスの上位に列アドレス(Y-ADD)及びナジブセレクトアドレス(C-ADD)に相当する分も設置する。すなわち、このレジスタ24は第2図に示した全アドレスをセツトすることができる構成をとる。リフレッシュ要求はリフレッシュカウンタ23により前記の通り $\frac{T_0}{m}$ 時間毎に送出する。

リフレッシュ動作を第4図及び第5図を参照して説明する。第4図は $4 \times 4$ のマトリックス構成の16個のメモリセル(M00~M33)37からなる記憶素子13の1個を示し、単にリフレッシュの

(7)

時は、その時点で動作を打切り、単にリフレッシュ動作のみを行う。誤りが検出された時は検査ビット中のシンドロームビットにより誤り位置を見つけ、記憶部212より送出されたデータを訂正する。更に訂正されたデータは書込みセクタ26を巡り、検査ビット生成回路27に与えられ、そのデータに対する検査ビットが生成され、書込みセクタ26からのデータはデータ記憶部212に、検査ビット生成回路27からの検査ビットは冗長記憶部210にそれぞれ書込まれる。

アクセス制御回路33は端子35を通じて外部からのアクセス要求とリフレッシュ要求に対する受け付け制御とを行ない、デバイス制御部34はアクセス要求に基づき、記憶部21の読出し書込みを制御する。この実施例においてはリフレッシュ時の読出し機能及びリフレッシュ時にデータ誤りがあつた時の書込み動作機能をデバイス制御部34に対し、従来のように読出し機能以外に付加する。

いま(1)誤り訂正は1ビットのみ可能、(2)データ誤り(検査ビットをさめる) $=k$ 、(3)1ビット誤り

(9)

みを目的とするのであればリフレッシュ時記憶素子に供給されるアドレスのうち列アドレス(Y-ADD)は固定とし、行アドレス(X-ADD)のみ順次変化させればよく、またデータを外部に読出す必要もない。第4図中の黒丸は同時にリフレッシュされるメモリセルを示している。この実施例では1つの行アドレス(X-ADD)が与えられている間に列アドレス(Y-ADD)も順次変化させていく。そのアドレス変化を第5図に示す。行アドレス(X-ADD)の数を $m$ 、列アドレス(Y-ADD)の数を $n$ とすると、各セル37に対してリフレッシュは $\frac{T_0}{m} \times m = T_0$ 時間毎に、また読出しは $\frac{T_0}{m} \times m \times n = nT_0$ 時間毎に自動的にこなわれることとなる。以上の説明はアドレス方向にメモリセル37が1個ずつ設けられた場合であるが、複数個(1個)の場合は読出しは $hnT_0$ 時間毎になる。次にリフレッシュ時の読出しに関して第3図において説明すると、リフレッシュ時に記憶部21より読出されたデータ及び検査ビットは誤り検出回路28に送られ、誤り検出を行ない誤りが検出されない

(8)

はランダムに発生し、その平均間隔を $T_e$ とする。このとき単位時間に2ビット誤りを起す確率は

$$k(k-1)/T_e^2 \quad (1)$$

となる。これをグラフに表わすとこの発明を適用しない場合は第6図の線38のように時間とともに2ビット誤り発生確率が増大していく。しかしこの発明を適用すると前述したように $hnT_0$ 時間毎に記憶部21内の全メモリセルが順次初期状態にもどされるので、2ビット誤り発生確率は第6図の線39に示すようになり、その最大値は $k(k-1)hnT_0/T_e^2$ となるにすぎない。 $nT_0$ は $T_e$ に比べて非常に小さい値であるので2ビット誤り発生確率はほとんど無視できるようになる。取りに1日1回記憶装置の内容を外部ファイルメモリにはき出す場合でも $24 \times 60^2 / hnT_0$ 倍信頼度が向上することになり、 $n=256$ (64Kビットの記憶素子に相当)、 $h=2^4=16$ 、 $T_0=2m$ 秒の場合約 $1.1 \times 10^4$ 倍の信頼度が向上する。

この発明は以上説明したように、リフレッシュ

(10)

時を利用して一定時間内に記憶内容のすべてを取出すようにし、更にその時取出したデータに対して誤り検出を行い、誤りがある場合は訂正した内容を再書き込みするようにして、誤り等によるランダムな記憶破壊に対し、誤りの累積を防ぎ大巾な信頼性の向上を可能とする効果がある。またこの発明はリフレッシュ時間を利用するので誤りがあつた時の再書き込み時間が若干増加する程度で、性能に対する影響はほとんど無視でき、また金額の増加も非常に少なくてよいという特徴を持つ。

#### 4. 図面の簡単な説明

第1図はダイナミック型半導体記憶素子の概略を示す構成図、第2図はアドレスの構成を示す図、第3図はこの発明による半導体記憶装置の一実施例を示すブロック図、第4図及び第5図はこの発明の動作説明に用いる図、第6図はこの発明の効果をグラフで表わした図である。

21 : 記憶部、21a : データ記憶部、21b : 冗長記憶部、22 : アドレスレジスタ、23 : リフレッシュカウンタ、25 : アドレスセレ

クタ、34 : デバイス制御回路、26 : 書き込みデータセレクタ、27 : 検査ビット生成回路、28 : 誤り検出回路、29 : 誤り位置デコーダ、31 : 誤り訂正回路、32 : 書き込みデータ入力端子、33 : アクセス制御回路、24 : リフレッシュアドレスレジスタ、35 : アクセス要求信号入力端子。

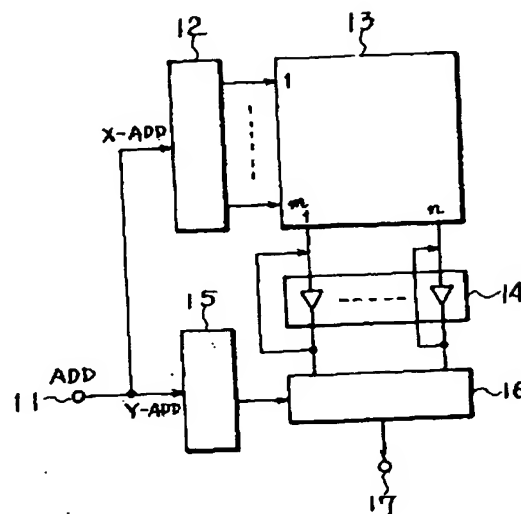
特許出願人 日本電気株式会社

代理人 森野 卓

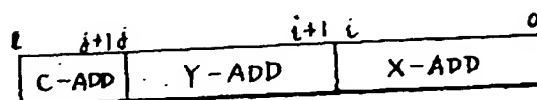
(11)

(12)

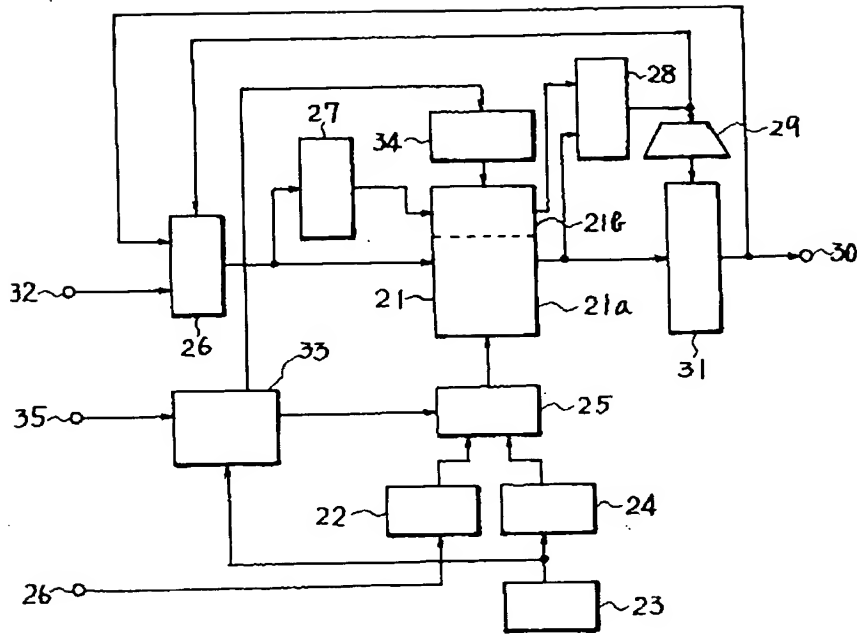
第 1 図



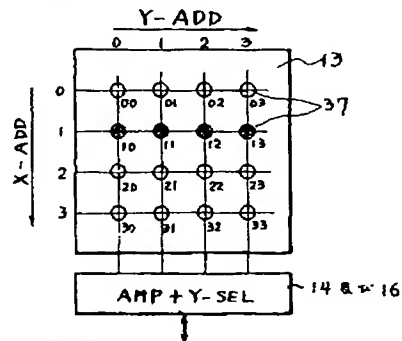
第 2 図



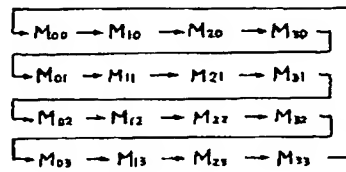
第 3 図



第 4 図



第 5 図



第 6 図

